

修 士 論 文 の 和 文 要 旨

研究科・専攻	大学院 情報システム学研究科 情報ネットワークシステム学専攻 博士前期課程		
氏 名	藤 基大	学籍番号	0752027
論 文 題 目	並列キュープロセッサの FPGA 化に関する研究		
<p>要 旨</p> <p>当研究室では、これまで中間結果を格納するための記憶領域に FIFO(First-In-First-Out)メモリであるキューレジスタを用いたキュープロセッサの研究を行ってきた。キュープロセッサのキューレジスタはデータ列の先頭からデータを読み出し、最後尾にデータを書き込む。これにより、命令のオペランドにキューレジスタの情報を明示的に指定する必要がある。また、レジスタ間に偽の従属性が発生せず、並列実行可能な命令の抽出が容易となる。</p> <p>これまでの研究では、キューの計算モデルとして、キューのルールに厳密に従った生産消費順序遵守型モデルだけでなく、オフセットの使用によりキューの制約を緩めた生産順序遵守型モデルや消費順序遵守型モデルの提案がされている。また、様々な種類の PQP が提案され、Verilog HDL などのハードウェア記述言語を用いて FPGA や ASIC での実装を想定したプロトタイピングが行われてきた。しかし、そのいずれについても、シミュレータ上での動作検証にとどまっており、実際のデジタル回路としての実装に至っていない。キュー計算モデルやキュープロセッサの有用性を検証するためには、実ハードウェア上での検証が必要である。</p> <p>そこで本研究ではこれまでに設計されたキュープロセッサから、ASIC への実装を想定して設計された 2DQ についてプログラミング可能な半導体デバイスである FPGA への実装を試みた。FPGA への実装にあたり、回路規模の見直しや実装環境が元の設計とは異なることから生じた不具合の解消、内部メモリにアクセスするためのメモリの設計変更など、シミュレータ上ではなく FPGA という実際のハードウェア上で 2DQ を動作させるための設計変更を行った。設計変更後の論理合成の結果、実装に必要なロジック・エレメント数は 98,233 でターゲットとした Altera 社の FPGA Cyclone III EP3C120 が内蔵するロジック・エレメントの約 78%の回路規模となり、タイミング制約に内部クロック周波数を 5MHz とした配置配線を行い、FPGA へのコンフィギュレーションが可能な実際のハードウェアとしての 2DQ を実現することができた。</p>			